

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANTS : Jeong-Seok Lee et al.
SERIAL NO. : Not Yet Assigned
FILED : February 17, 2004
FOR : SEMICONDUCTOR OPTICAL AMPLIFIER HAVING PHOTO
DETECTOR AND METHOD OF FABRICATING THE SAME

PETITION FOR GRANT OF PRIORITY UNDER 35 USC 119

MAIL STOP PATENT APPLICATION
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA. 22313-1450

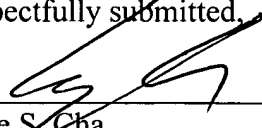
Dear Sir:

Applicant hereby petitions for grant of priority of the present Application on the basis of the following prior filed foreign Application:

<u>COUNTRY</u>	<u>SERIAL NO.</u>	<u>FILING DATE</u>
Republic of Korea	2003-57706	August 20, 2003

To perfect Applicant's claim to priority, a certified copy of the above listed prior filed Application is enclosed. Acknowledgment of Applicant's perfection of claim to priority is accordingly requested.

Respectfully submitted,



Steve S. Cha
Attorney for Applicant
Registration No. 44,069

CHA & REITER
210 Route 4 East, #103
Paramus, NJ 07652
(201) 226-9245

Date: February 17, 2004

Certificate of Mailing Under 37 CFR 1.8

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to MAIL STOP PATENT APPLICATION, COMMISSIONER FOR PATENTS, P. O. BOX 1450, ALEXANDRIA, VA. 22313-1450 on February 17, 2004.

Steve S. Cha, Reg. No. 44,069
Name of Registered Rep.)



(Signature and Date)



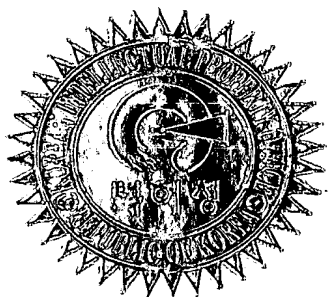
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0057706
Application Number

출원년월일 : 2003년 08월 20일
Date of Application AUG 20, 2003

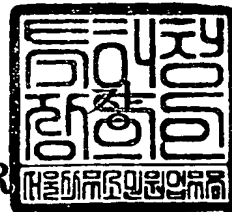
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0011
【제출일자】	2003.08.20
【국제특허분류】	G02B
【발명의 명칭】	광검출기를 구비하는 반도체 광증폭기 및 그 제조방법
【발명의 영문명칭】	SEMICONDUCTOR OPTICAL AMPLIFIER WITH OPTICAL DETECTOR AND METHOD FOR MANUFACTURING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	2003-001449-1
【발명자】	
【성명의 국문표기】	이정석
【성명의 영문표기】	LEE, Jeong Seok
【주민등록번호】	680511-1657724
【우편번호】	431-050
【주소】	경기도 안양시 동안구 비산동 1104 은하수 청구아파트 106동 805호
【국적】	KR
【발명자】	
【성명의 국문표기】	오윤제
【성명의 영문표기】	OH, Yun Je
【주민등록번호】	620830-1052015
【우편번호】	449-915
【주소】	경기도 용인시 구성면 언남리 동일하이빌 102동 202호
【국적】	KR

【발명자】

【성명의 국문표기】

황성택

【성명의 영문표기】

HWANG, Seong Taek

【주민등록번호】

650306-1535311

【우편번호】

459-707

【주소】

경기도 평택시 독곡동 대림아파트 102동 303호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이건주 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

16 면 16,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

15 항 589,000 원

【합계】

634,000 원

【요약서】**【요약】**

본 발명은 광증폭기의 입력단 및 출력단에서의 신호의 세기를 알 수 있는 광검출기를 단일결정 기판 위에 집적화한 광검출기를 구비하는 이득고정 반도체 광증폭기 및 그 제조방법에 관한 것이다.

본 발명의 광검출기를 구비하는 반도체 광증폭기는 제1 도전형의 반도체 기판과; 상기 반도체 기판 위에 형성된 수평방향 레이징 구조를 갖는 반도체 광증폭기와; 상기 반도체 광증폭기의 입력신호 및 출력신호의 세기를 측정하기 위해 각각 상기 반도체 광증폭기의 입력측 및 출력측으로부터 수평방향으로 이격되어 상기 반도체 기판 위에 형성된 제1 및 제2 광검출기를 포함하여 구성됨을 특징으로 한다.

【대표도】

도 2

【색인어】

이득층, 광검출기, 위상변환, 수평방향 레이징

【명세서】**【발명의 명칭】**

광검출기를 구비하는 반도체 광증폭기 및 그 제조방법{SEMICONDUCTOR OPTICAL AMPLIFIER WITH OPTICAL DETECTOR AND METHOD FOR MANUFACTURING THE SAME}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 이득고정 반도체 광증폭기의 구조를 개략적으로 나타낸 도면,

도 2는 본 발명의 일 실시예에 따른 광검출기를 구비하는 반도체 광증폭기의 구성을 나타낸 도면,

도 3은 도 2의 I-I' 방향에 따른 단면도,

도 4a 내지 도 4g는 도 2의 광검출기를 구비하는 반도체 광증폭기의 제작과정을 나타낸 도면,

도 5는 본 발명의 다른 실시예에 따른 광검출기를 구비하는 반도체 광증폭기의 구성을 나타낸 도면,

도 6a 내지 도 6e는 도 5의 광검출기를 구비하는 반도체 광증폭기의 제작과정을 나타낸 단면도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <7> 본 발명은 광증폭기에 관한 것으로, 특히 광증폭기의 입력단 및 출력단에서의 신호의 세기를 알 수 있는 광검출기를 단일결정 기판 위에 집적화한 광검출기를 구비하는 이득고정 반도체 광증폭기 및 그 제조방법에 관한 것이다.
- <8> 일반적으로 광통신 시스템에서, 송신기로부터 송출된 신호광은 광전송로를 통해 전송될 때에 전송 손실을 입고 수신기에 도달할 때에는 파워가 작아지게 된다. 수신기에 도달한 신호광의 파워가 소정치 이하이면, 수신 에러에 의해 정상적으로 광통신을 행할 수 없는 경우가 생길 수 있다. 따라서, 송신기와 수신기 사이에 광 증폭기를 설치하여 신호광을 증폭함으로써 신호광이 광전송로를 통해 전송될 때에 입은 전송손실을 보상하고, 좀 더 먼 거리를 적은 오류를 가지고 전송할 수 있다.
- <9> 이러한 광증폭기에는 EDFA(Erbium Doped Fiber Amplifier), 라만 증폭기(Raman Amplifier), 반도체 광 증폭기(SOA)가 있다.
- <10> EDFA는 희토류 원소(예를 들면 Er)가 첨가된 증폭용 광섬유를 이용한 것으로, 높은 이득 특성과 낮은 잡음 지수(Noise Figure; NF), 큰 포화출력파워(saturation output power) 특성을 갖고 있어 기간망이나 메트로(metro)망에 폭넓게 사용되어 왔다. 그러나, 가격이 비싸고 동작파장이 1.5 μ m 대역에 국한되는 문제점이 있다.
- <11> 라만 증폭기(Raman amplifier)는 광섬유 내에서의 라만증폭을 이용한 광증폭기이다. 라만증폭은 광섬유에 강한 광인 펌핑광(pumping light)을 입사했을 때, 유도라만산란(Raman

scattering)에 의해 펌핑광 파장으로부터 약 100nm정도 장파장쪽에 이득(gain)이 나타나고, 이
여기된 상태의 광섬유에 상기 이득을 가진 파장대역의 신호광을 입사하면 그 신호광이 증폭되
는 소위 라만증폭현상을 이용한 광신호의 증폭방법이다. 라만 증폭기는 라만 증폭용 펌핑광의
파장을 적절히 설정함으로써 증폭대역도 비교적 자유롭게 조절할 수 있으며, 잡음 지수가 낮은
특징을 갖고 있다. 반면, 광증폭효율이 매우 낮고, 고가의 펌핑 광원을 필요로 하므로 광증폭
기 모듈의 전체 크기가 커지고, 가격을 상승시키는 문제점이 있다.

<12> 반도체 광증폭기(SOA)는 반도체의 이득 특성을 이용한 것으로, 반도체 밴드-갭
(band-gap)에 따라 증폭대역을 조절할 수 있다. 반도체 광증폭기는 수 cm 이내로 소형이며, 특
히 고가의 펌핑 광원을 필요로 하지 않는다는 장점이 있다.

<13> 그러나, 반도체 광증폭기는 일반적으로 입력 신호의 세기가 증가하면 이득 값이 줄어드
는 이득 포화 현상을 나타내며, 이로 인해 광출력이 큰 신호가 입력될 경우 신호증폭에 있어
신호를 왜곡하여 전송하는 문제점이 있다.

<14> 이를 해결하기 위해 도 1에 도시된 바와 같은 구조의 이득고정 반도체 광증폭기(Gain
Clamped SOA)가 제시된 바 있다.

<15> 도 1은 종래 일반적인 이득고정 반도체 광증폭기(100)의 구조를 나타낸 도면으로, 상기
이득고정 반도체 광증폭기(100)는 n-InP 기판(101), InGaAsP 패시브도파로층(102), InP 스페이
서(103), DBR 격자패턴(104), 활성층도파로(105), 전류차단층(106), p-InP 클래드층(107), 오
믹접촉저항을 줄이기 위한 p-InGaAs층(108), 산화물층(109), 상부전극(110), 하부전극(111)을
포함하여 구성된다.

- <16> 상기 이득고정 반도체 광증폭기(100)는 양쪽의 DBR(Distributed Bragg Reflector) 격자를 이용하여 증폭하고자 하는 입력신호 파장영역에서 멀리 떨어진 단파장에서 레이저 발진을 유도하여 공진기 내의 캐리어 밀도를 고정시킴으로써 광이득을 구동 전류가 증가하더라도 일정하게 유지하도록 한다.
- <17> 그러나, 상기 종래의 이득고정 반도체 광증폭기는 증폭해야 할 신호의 진행방향(도 1의 A)과 발진을 유도하는 레이저 빔의 진행방향(도 1의 B)이 동일하며 이로 인해 여러 채널의 신호를 증폭할 때 발진 파장과 신호 파장 사이에서 4파장 섞임(four wave mixing) 현상이 나타나는 문제점이 있다. 또한, 레이저 발진 파장을 제거하기 위해 파장 필터를 부가적으로 사용해야 하는 문제점을 안고 있다.
- <18> 한편, 이득고정 반도체 광증폭기의 이득을 조절하거나 소자의 동작여부를 점검하기 위해서는 입력되는 신호와 출력되는 증폭신호의 크기를 알 수 있어야 한다. 이를 위해 종래에는 증폭기에 입력되는 신호와 증폭기로부터 출력되는 신호의 일부를 광분배기 등을 사용하여 광파워(optical power)의 일부를 분리한 후 광검출기에 삽입하여 측정하는 방법을 사용하고 있다.
- <19> 그러나, 상기 종래기술은 신호의 일부를 분할함으로써 광출력 손실을 야기시키고 이로 인해 광증폭기의 중요한 특성인 잡음지수, 포화광출력, 이득 등의 특성을 저하시키는 문제점이 있다. 또한, 광신호의 일부를 광검출 하기 위해 별도의 광분배기 및 광검출기를 사용함으로써 모듈 제작시 부품수 및 공정수가 증가하여 모듈의 가격 경쟁력을 저하시키는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <20> 따라서, 본 발명의 목적은 별도의 광분배기를 사용하지 않고 광증폭기의 입력 및 출력단에서의 신호의 세기를 검출할 수 있는 광검출기를 구비하는 반도체 광증폭기를 제공함에 있다.
- <21> 본 발명의 다른 목적은 광증폭기의 입력단 및 출력단에서의 신호의 세기를 검출하는 광검출기를 단일결정 기판 위에 집적화한 광검출기를 구비하는 반도체 광증폭기 및 그 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

- <22> 상기 목적을 달성하기 위하여 본 발명의 광검출기를 구비하는 반도체 광증폭기는 제1 도전형의 반도체 기판과; 상기 반도체 기판 위에 형성된 수평방향 레이징 구조를 갖는 반도체 광증폭기와; 상기 반도체 광증폭기의 입력신호 및 출력신호의 세기를 측정하기 위해 각각 상기 반도체 광증폭기의 입력측 및 출력측으로부터 수평방향으로 이격되어 상기 반도체 기판 위에 형성된 제1 및 제2 광검출기를 포함하여 구성됨을 특징으로 한다.
- <23> 바람직하게는, 상기 제1 및 제2 광검출기는 상기 반도체 광증폭기의 이득층 구성 물질층과 동일층으로 구성됨을 특징으로 한다.
- <24> 또한, 상기 목적을 달성하기 위하여 본 발명의 광검출기를 구비하는 반도체 광증폭기 제조방법은 (a)제1 도전형의 반도체 기판 위에 브래그 격자를 형성하되, 예정된 이득층 및 광검출기 영역 이외의 상기 반도체 기판 위에 형성하는 과정과; (b)상기 브래그 격자가 형성된 제1 도전형의 반도체 기판 위에 제1 도전형의 하부클래드층, 광도파로층, 제1 도전형의 상부클

래드층, 이득물질층, 제2 도전형의 클래드층을 형성하는 과정과; (c)상기 제2 도전형의 클래드층 위에 마스크 패턴을 형성하되, 예정된 이득층 영역과 상기 이득층 영역으로부터 수평방향으로 소정정도 이격되어 이득층의 전단부와 후단부에 각각 마스크 패턴을 형성하는 과정과; (d)상기 마스크 패턴을 식각마스크로 이용한 식각공정을 통해 상기 제2 도전형의 클래드층, 이득물질층을 선택적으로 식각한 후 상기 마스크 패턴을 제거하는 과정과; (e)상기 이득층 이외의 영역으로의 전류흐름을 차단하는 전류차단층을 형성하는 과정과; (f)상기 이득층 및 광검출기 영역에 전류를 공급하는 전극을 형성하는 과정을 포함함을 특징으로 한다.

<25> 이하, 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 도면에서 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 참조번호 및 부호로 나타내고 있음에 유의해야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

<26> 도 2는 본 발명의 일 실시예에 따른 광검출기를 구비하는 반도체 광증폭기(200)의 구성을 나타낸 도면이고, 도 3은 도 2의 I-I' 방향에 따른 단면도이다.

<27> 상기 광검출기를 구비하는 반도체 광증폭기(200)는 반도체 기판(201)과, 브래그 격자(202)와, n-InP 하부 클래드층(203)과, 광도파로층(204)과, n-InP 상부 클래드층(205)과, 이득층(206)과, p-InP 클래드층(207)과, 전극(208)과, 전류 차단층(209)과, 광검출기(220-1, 220-2)를 포함하여 구성된다. 또한, 위상변환영역(210)과, 위상변환용 전극(211)을 구비한다.

<28> 상기 브래그 격자(202)은 해당 파장의 광이 브래그 격자(202) 사이를 공진하도록 함으로써 수평방향으로 브래그 레이저 발진이 일어나도록 하며, 상기 광도파로층(204)의 위 또는 아

래에 형성된다. 본 실시예의 도면은 브래그 격자(202)이 광도파로층(204) 아래에 형성된 경우를 도시한 것이다.

- <29> 상기 광도파로층(204)은 양쪽의 브래그 격자층(202)에 의해 공진되는 모드들의 광 손실을 억제하고 브래그 반사를 효율적으로 하기 위해 브래그 격자층(202)과 이득층(206)에서의 광 가둠 계수를 크게 하며, 반도체 기판(201)의 굴절률 보다 높은 굴절률을 갖는다.
- <30> 상기 이득층(206)은 입력 광신호를 증폭하며, 브래그 격자(202)이 형성되지 않은 영역의 n-InP 상부 클래드층(205) 위에 형성된다. 이득층(206) 위에는 p-InP 클래드층(207)이 형성된다.
- <31> 상기 전류차단층(208)은 이득층 이외의 영역으로의 전류흐름을 차단하여 이득층(206)의 전류효율을 증가시키며, 이득층(206) 주변 및 위상변환영역(210)을 제외한 n-InP 상부 클래드층(205) 위에 형성된다.
- <32> 상기 전극(209)은 이득층(206)에 전류를 공급하며, 모듈 제작시 도선 연결이 용이하도록 넓은 영역의 n-InP 상부 클래드층(205) 위에 형성된다.
- <33> 상기 위상변환영역(210)은 레이징 파장 조절에 의해 레이저의 임계전류를 조절함으로써 이득고정 반도체 광 증폭기의 이득 값을 조절하며, 일측 브래그 격자(202)층 사이에 브래그 격자가 일부 형성되지 않도록 함으로써 구현할 수 있다.
- <34> 상기 위상 변환용 전극(211)은 위상변환영역(210)으로 인가되는 전류 또는 전압을 변화시켜 레이저의 발진파장을 변화시킬 수 있으며, 위상변환영역(210)의 전류차단층(208) 위나 p-InP 상부 클래드층(205) 위에 형성된다. 레이저의 발진파장이 변화되면 이득영역의 이득곡선

이 파장에 따라 다르기 때문에 발진을 위해 필요한 구동 전류가 바뀌게 된다. 이러한 결과는 증폭하고자 하는 파장영역에서 보면 증폭기의 이득 값이 변하는 현상으로 나타난다.

<35> 상기 광검출기(220-1, 220-2)는 반도체 광증폭기의 입력신호 및 출력신호의 세기가 변화됨에 따라 이득고정용 레이징 파장의 출력의 변화된 값을 측정하며, 반도체 광증폭기의 입력측 및 출력측과 수평방향으로 이격되어 형성된다. 광검출기(220-1, 220-2)는 반도체 광증폭기의 이득층(206)과 동일한 물질층으로 구성되며, 반도체 광증폭기의 이득층 형성을 위한 식각시 이득층으로부터 수평방향으로 이격된 위치에 이득층을 제거하지 않고 남겨둠으로써 별도의 광검출기 성장공정을 거치지 않고 단일결정 반도체 기판 위에 반도체 광증폭기와 함께 집적할 수 있다. 광검출기의 활성층(221) 위에도 반도체 광증폭기의 이득층(206) 위와 마찬가지로 p-InP 클래드층(222) 및 전극(223)이 형성된다.

<36> 상기 광검출기를 구비하는 반도체 광증폭기(200)의 동작은 다음과 같다. 도 2 및 도 3을 참조하면, 이득층(206)에 펌핑 전류를 주입하면 높은 에너지 준위인 전도대에서 낮은 에너지 준위인 전도대로 천이가 일어나는 자연발광(spontaneous emission) 및 밀도 반전이 이루어져 낮은 에너지 준위인 가전자대로의 천이에 의해 유도 방출(stimulated emission)이 일어난다. 이득층(206)에서 발생하는 자연발광에 의해서 발생하는 광의 일부가 광도파로(204)에 구속된다. 구속된 광 중에 브래그 격자의 공진조건을 만족하는 특정파장은 이득층(206) 및 이득층 양쪽으로 형성된 수동도파로(204)가 형성한 공진구간을 반복적으로 회귀하게 된다. 한 번 회귀할 때 마다 이득층(206)을 두 번씩 지나가면서 밀도 반전에 의해서 얻어지는 유도방출에 의한 이득을 얻을 수 있다. 이득층(206)의 이득이 전류의 증가에 따라 증가하여 수평방향으로의 한 번 회귀에 의해 발생하는 광 손실보다 크게 되면 발진이 일어난다. 상기와 같이 발진이 일어나기 시작하면 이득층의 전하밀도가 고정되며 소자의 이득이 구동전류가 증가하더라도 더 이상 증가

하지 않는 이득고정 특성을 보여준다. 발진전류 이상의 전류를 계속 증가해주면 이득은 증가하지 않고 발진파장의 광세기만 계속 커지게 된다. 이때, 신호광(light)은 이득층(206)의 길이방향(A)으로 증폭되고, 레이저의 발진은 수평방향(B)으로 이루어진다.

<37> 한편, 반도체 광증폭기에 주입되는 신호의 세기가 증가하면 선형적인 이득특성에 의해 증폭된 신호의 세기가 커지며, 이때 이득고정으로 사용되는 브래그 격자 레이저의 발진 출력은 상대적으로 줄어들게 된다. 이득고정을 위해 증폭과장보다 단파장의 레이저발진 특성을 이용하는 이득고정 반도체 광증폭기의 경우 증폭하고자 하는 신호가 증폭기를 통과하면서 그 부분의 전하를 소진하게 된다. 이렇게 전하밀도가 줄어들면서 발진 레이저 파장의 출력이 줄어들게 된다. 또한 신호에 의해서 소진되는 전하량이 신호의 세기가 증가함에 따라 커지므로 발진 파장의 세기가 줄어들게 된다. 이때 수평방향으로 발진하는 발진파장의 세기를 측정하여 통과하는 신호의 세기와 관계를 알아내면 발진파장의 세기만을 측정하여 신호의 세기를 알 수 있다. 또한, 발진파장의 세기는 입력신호가 통과할 때 입력신호가 증폭되면서 가져가는 에너지만큼 줄어든다. 그러므로 반도체 광증폭기의 입력단 및 출력단에서 광검출기에 검출되는 전압의 크기는 통과 영역에서의 신호의 세기와 반비례 관계를 유지한다. 따라서, 이러한 특성을 이용하여 증폭기 소자에 입력되는 신호와 증폭된 신호의 세기를 알 수 있다.

<38> 도 4a 내지 도 4f는 도 2에 도시된 광검출기를 구비하는 리지형 이득고정 반도체 광증폭기(200)의 제작과정을 도시한 것이다.

<39> 먼저, 도 4a에 도시된 바와 같이, n-InP 기판(201) 위에 브래그 격자를 형성하기 위해 굴절률이 다른 물질(202')과 n-InP(203)를 위에 형성한다.

<40> 도 4b에서, 선택식각법을 통해 예정된 이득층 형성영역(230) 및 광 검출기 영역(220) 및 위상변환영역(210)을 제외한 n-InP 기판(201) 위에 브래그 격자층(202)을 형성한다. 이때, 위

상변환영역(210)을 형성하지 않고, 이득층 형성영역 이외의 n-InP 기판(201) 위에 브래그 격자층(202)을 형성할 수도 있다. 브래그 격자층(202) 형성방법은 일반적인 파장궤환레이저에서 사용하는 방법과 동일하다.

<41> 도 4c에서, 상기 브래그 격자층(202) 위에 n-InP 하부클래드층(203), 수동광도파로층(204), n-InP 상부클래드층(205), 이득물질층(206') 및 p-InP 클래드층(207)을 차례로 성장한다. 상기 이득물질층(206')은 벌크나 양자우물구조로 성장하며, 입력 광신호의 파장에 따라 이득층을 이루는 물질의 조성비를 조절하거나 이득층의 두께를 조절함으로써 증폭대역을 조절할 수 있다. 도면에서 점선 원 내의 계단형 그래프는 수동광도파로층(204) 내지 p-InP 클래드층(207)의 밴드-갭(band-gap)을 나타낸 것이다. 이때, 상기 브래그 격자층(202)은 수동광도파로층(204)의 위 또는 아래에 형성될 수 있으며, 본 실시예는 브래그 격자층(202)이 수동광도파로층(204)의 아래에 형성된 경우이다. 또한, 도시하지는 않았으나 리지형 도파로를 형성하기 위한 식각정지층(etching stop layer) 형성공정을 추가할 수도 있다.

<42> 도 4d에서, 상기 p-InP 클래드층(207) 위에 SiO_2 , SiN_x 등의 마스크 패턴(250)을 형성한다. 마스크 패턴(250)은 예정된 이득층 형성영역 위에 형성된 이득층 마스크 패턴(251)과 상기 이득층 마스크 패턴(251)으로부터 수평방향으로 소정정도 이격되어 이득층의 전단부와 후단부에 각각 형성된 광검출기의 활성층 형성을 마스크 패턴(252, 253)으로 구성된다.

<43> 도 4e에서, 상기 마스크 패턴(250)을 식각마스크로 이용한 식각공정을 통해 상기 이득물질층(206')을 선택적으로 식각함으로써 이득층(206)과, 광검출기의 활성층(221)을 형성한 후 상기 마스크 패턴(250)을 제거한다.

<44> 도 4f에서, 상기 선택식각을 한 구조 위에 SiO_2 또는 SiN_x (208)를 증착한 후

포토 마스크 공정 및 식각 공정을 통해 전류를 주입할 이득영역이 드러나게 한 후 전극(209, 223)을 형성한다. 또한, n-InP 기판(201) 하부면에 전극을 형성한다(도시하지 않음). 상기의 절차를 통해 이득층(206) 및 광검출기(221) 외의 영역은 전류차단층(208)이 형성된다.

<45> 도 4g에서, 상기 위상변환영역(210)의 전류차단층(208) 위에 위상변환용 전극(211)을 형성한다.

<46> 한편, 본 발명의 광검출기를 구비하는 반도체 광증폭기는 전술한 도 2의 리지형(ridge waveguide type) 외에 감싼 이중접합형태(burried hetero-structure)로도 구현할 수 있다.

<47> 도 5는 본 발명의 다른 실시예에 따른 광검출기를 구비하는 감싼 이중접합형태의 이득고정 반도체 광증폭기(300)의 구성을 나타낸 도면이다.

<48> 도 5를 참조하면, 상기 이득고정 반도체 광증폭기(300)는 반도체 기판(301)과, 이득층(302)과, p-InP 상부클래드층(303)과, 전류 차단층(309)과, 광도파로층(310)과, 브래그 격자(312)와, p-InP 상부클래드층(314)과, 전극(315)과, 광검출기 영역(340)과, 광검출기용 전극(317) 및 절연층(319)을 포함하여 구성된다. 또한, 위상변환영역(320)과, 상기 위상변환영역(320) 위에 형성된 위상변환용 전극(316)을 구비한다.

<49> 상기 구성을 갖는 감싼 이중접합형 수평방향 레이징 구조를 갖는 이득고정 반도체 광증폭기(300)의 동작은 도 2의 리지형 이득고정 반도체 광증폭기(200)와 유사하므로 이에 대한 설명은 생략한다.

<50> 도 6a 내지 도 6e는 도 5의 감싼 이중접합형 이득고정 반도체 광증폭기(300)의 제작과정을 도시한 것이다.

- <51> 먼저, 도 6a에 도시된 바와 같이, n-InP 기판(301) 위에 이득물질층(302'), p-InP 클래드층(303)을 성장한다.
- <52> 도 6b에서, SiO₂ 또는 SiN_x 마스크를 이용한 식각공정을 통해 예정된 이득층 영역(330) 및 광검출기 영역(340)의 상기 p-InP 클래드층(303) 위에 마스크 패턴(304)을 형성하고 이를 식각마스크로 이용한 식각공정을 통해 p-InP 클래드층(303), 이득물질층(302'), n-InP 기판(301)을 선택적으로 제거하여 메사구조의 이득층(302), 광검출기의 활성층(341) 및 식각홈(305)을 형성한다.
- <53> 도 6c에서, 상기 식각홈(305)에 p-InP층(306), n-InP층(307), p-InP층(308)으로 된 전류 차단층(309)을 형성한다. 이어서, 상기 전류차단층(309) 위에 n-InP 기판(301)의 굴절률보다 높은 굴절률을 갖는 물질로 된 광도파로층(310)을 형성한다. 이때, 상기 이득층(302)과 광도파로(310) 사이에서의 모드의 광결합을 위해 상기 이득층(302)과 광도파로(310)의 이격 높이는 2 μ m 이내로 함이 바람직하다. 계속해서 광도파로 영역에 격자형성을 위해 얇은 p-InP 클래드층(311) 및 격자를 형성할 굴절률이 높은 물질층(312') 및 p-InP 클래드층(313)을 성장한다.
- <54> 도 6d에서, 위상변환영역(320)을 제외한 광도파로층(310) 위에 브래그 격자(312)를 형성한 다음, p-InP 클래드층(314)을 형성한다. 전술한 일 실시예의 경우와 마찬가지로, 상기 브래그 격자(312)은 광도파로층(310)의 위 또는 아래에 형성될 수 있으며, 본 실시예는 브래그 격자(312)가 광도파로층(310)의 위에 형성된 경우이다. 또한, 위상변환영역(320)은 필요에 따라 형성하지 않을 수 있으며, 브래그 격자(312) 형성방법은 일반적인 파장궤환레이저에서 사용하는 방법과 동일하다.

<55> 도 6e에서, 상기 구조 전체 상부에 다시 p-InP 클래드층(314)을 형성하고, SiO₂ 또는 SiN_x 절연층(319)을 증착한 후 포토 마스크 공정 및 식각을 통해 전류를 주입할 영역을 드러나게 한 후 전극(315, 316, 317)을 형성한다. 이때, 이득층에 전류를 공급하기 위한 전극(315)과 위상변환영역(320)에 전류를 공급하기 위한 위상변환용 전극(316) 및 광검출기의 활성층에 전류를 공급하기 위한 전극(317)은 각각 독립적으로 형성한다. 전극(315, 316, 317) 형성 후, 상기 p-InP 클래드층(314)을 식각하여 광증폭영역(330), 광검출기영역(340), 위상변환영역(320)을 분리시킨다.

<56> 한편 본 발명의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

【발명의 효과】

<57> 상술한 바와 같이 본 발명은 반도체 광증폭기와 광검출기를 단일결정 기판 위에 집적함으로써 별도의 광분배기를 사용하지 않고 광증폭기의 입력 및 출력단에서의 신호의 세기를 검출할 수 있다. 따라서, 광분배기로 인해 야기되는 광손실을 제거함으로써 광증폭기의 이득 특성이 개선된다.

<58> 또한, 본 발명의 광검출기를 구비하는 반도체 광증폭기 제조방법은 별도의 광검출기 성장공정을 거치지 않고 반도체 광증폭기의 이득층 형성을 위한 식각시 이득층으로부터 수평방향으로 이격된 위치에 이득층을 제거하지 않고 남겨둌으로써 단일결정 반도체 기판 위에 반도체

광증폭기와 광검출기를 집적할 수 있다. 따라서, 광증폭기 모듈 제작시 부품수가 감소하고 공정이 단순화되어 저가의 광증폭기를 제작할 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

제1 도전형의 반도체 기판과;

상기 반도체 기판 위에 형성된 수평방향 레이징 구조를 갖는 반도체 광증폭기와;

상기 반도체 광증폭기의 입력신호 및 출력신호의 세기를 측정하기 위해 각각 상기 반도체 광증폭기의 입력측 및 출력측으로부터 수평방향으로 이격되어 상기 반도체 기판 위에 형성된 제1 및 제2 광검출기를 포함하여 구성됨을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기.

【청구항 2】

제 1 항에 있어서, 상기 반도체 광증폭기는

리지형(ridge type)임을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기.

【청구항 3】

제 2 항에 있어서, 상기 반도체 광증폭기는

예정된 이득층 영역 외의 상기 반도체 기판 위에 선택적으로 형성된 브래그 격자와;

상기 브래그 격자를 감싸도록 상기 반도체 기판 상부 전면에 형성된 제1 도전형의 하부 클래드층과;

상기 하부 클래드층 위에 형성된 광도파로층과;

상기 광도파로층 위에 형성된 제1 도전형의 상부 클래드층과;

광신호를 증폭하기 위해 예정된 이득층 영역의 상기 제1 도전형의 상부 클래드층 위에 형성된 이득층과;

상기 이득층에 전류를 공급하는 제1 전극과;

상기 이득층 이외의 영역으로의 전류흐름을 차단하는 전류차단층을 포함하여 구성됨을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기.

【청구항 4】

제 3 항에 있어서, 상기 제1 및 제2 광검출기는

각각 상기 반도체 광증폭기의 입력측 및 출력측과 수평방향으로 이격되어 상기 제1 도전형의 상부 클래드층 위에 형성됨을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기.

【청구항 5】

제 2 항 또는 제 4 항에 있어서, 상기 제1 및 제2 광검출기는

상기 이득층 구성 물질층으로 된 활성층과;

상기 활성층 위에 형성된 제2 도전형의 클래드층과;

상기 제2 도전형의 클래드층 위에 형성된 제2 전극을 포함하여 구성됨을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기.

【청구항 6】

제 2 항에 있어서, 상기 광도파로층은

상기 브래그 격자의 위 또는 아래에 형성됨을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기.

【청구항 7】

제 2 항에 있어서, 상기 브래그 격자 사이에 형성된 위상변환영역을 더 포함함을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기.

【청구항 8】

제 7 항에 있어서, 상기 위상변환영역에 전류를 공급하는 위상변환용 전극을 더 포함함을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기.

【청구항 9】

제 1 항에 있어서, 상기 반도체 광증폭기는

감싼 이중접합형(buried hetero-structure)임을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기.

【청구항 10】

(a)제1 도전형의 반도체 기판 위에 브래그 격자를 형성하되, 예정된 이득층 및 광검출기 영역 이외의 상기 반도체 기판 위에 형성하는 과정과;

(b) 상기 브래그 격자가 형성된 제1 도전형의 반도체 기판 위에 제1 도전형의 하부클래드층, 광도파로층, 제1 도전형의 상부클래드층, 이득물질층, 제2 도전형의 클래드층을 형성하는 과정과;

(c)상기 제2 도전형의 클래드층 위에 마스크 패턴을 형성하되, 예정된 이득층 영역과 상기 이득층 영역으로부터 수평방향으로 소정정도 이격되어 이득층의 전단부와 후단부에 각각 마스크 패턴을 형성하는 과정과;

(d) 상기 마스크 패턴을 식각마스크로 이용한 식각공정을 통해 상기 제2 도전형의 클래드층, 이득물질층을 선택적으로 식각한 후 상기 마스크 패턴을 제거하는 과정과;

(e)상기 이득층 이외의 영역으로의 전류흐름을 차단하는 전류차단층을 형성하는 과정과;

(f)상기 이득층 및 광검출기 영역에 전류를 공급하는 전극을 형성하는 과정을 포함함을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기 제조방법.

【청구항 11】

제 10 항에 있어서, 상기 (a)과정은

예정된 이득층 영역, 광검출기 영역 및 위상변환영역 이외의 상기 반도체 기판 위에 브래그 격자를 형성함을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기 제조방법.

【청구항 12】

제 11 항에 있어서, 상기 (f)과정은

상기 이득층 영역, 광검출기 영역 및 위상변환영역에 전류를 공급하는 전극을 형성하는 과정을 포함함을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기 제조방법.

【청구항 13】

(a)제1 도전형의 반도체 기판에 이득물질층, 제2 도전형의 하부 클래드층을 형성하는 과정과;

(b) 예정된 이득층 영역 및 광검출기 영역의 상기 제2 도전형의 클래드층 위에 마스크 패턴을 형성하고 이를 식각마스크로 이용한 식각공정을 통해 상기 제2 도전형의 클래드층, 이득물질층, 반도체 기판을 선택적으로 제거하여 메사구조의 이득층, 광검출기의 활성층 및 식각홈을 형성하는 과정과;

(c)상기 식각홈에 전류차단층을 형성하는 과정과;

(d) 상기 전류차단층 위에 반도체 기판의 굴절률보다 높은 굴절률을 갖는 물질로 된 광도파로층을 형성하는 과정과;

(e)상기 광도파로층 위에 브래그 격자를 형성하는 과정과;

(f)상기 브래그 격자가 형성된 구조 전체 상부에 제2 도전형의 상부 클래드층을 형성하는 과정과;

(g)상기 이득층 및 광검출기의 활성층에 전류를 공급하기 위한 각각의 전극을 형성하는 과정을 포함함을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기 제조방법.

【청구항 14】

제 13 항에 있어서, 상기 (e)과정은

상기 일측 브래그 격자 사이에 브래그 격자가 부부적으로 존재하지 않는 위상변환영역이 형성되도록 함을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기 제조방법.

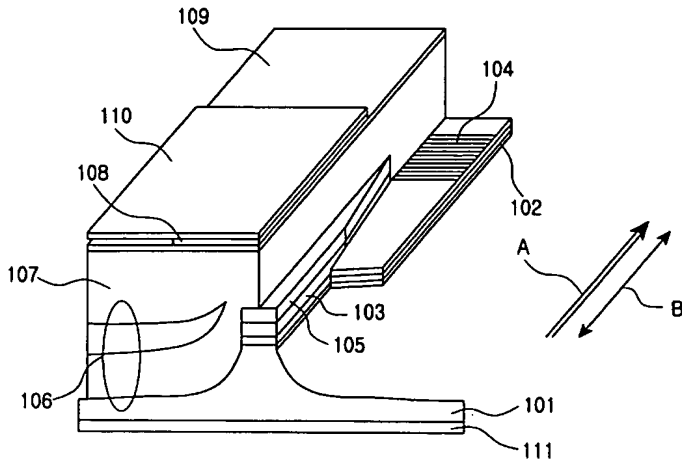
【청구항 15】

제 14 항에 있어서, 상기 (g)과정은

상기 이득층, 광검출기의 활성층 및 위상변환영역에 전류를 공급하기 위한 제1, 제2, 제3 전극을 형성하는 과정을 포함함을 특징으로 하는 광검출기를 구비하는 반도체 광증폭기 제조방법.

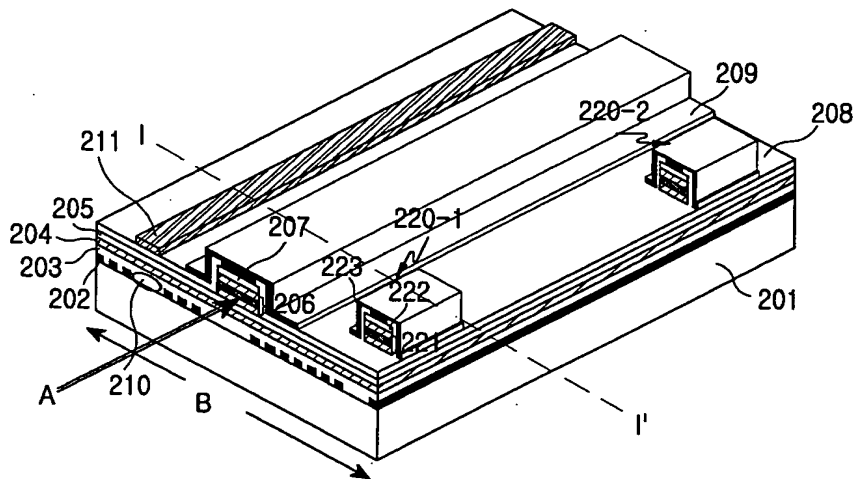
【도면】

【도 1】

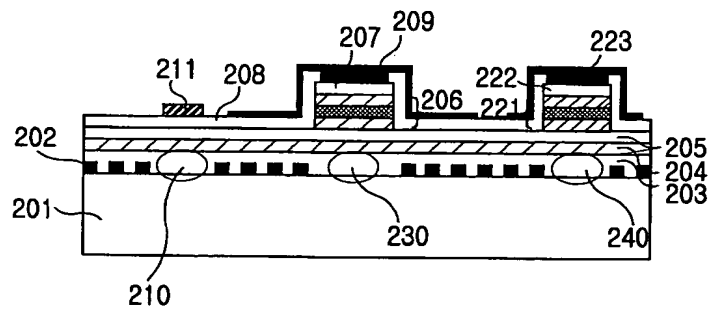


【도 2】

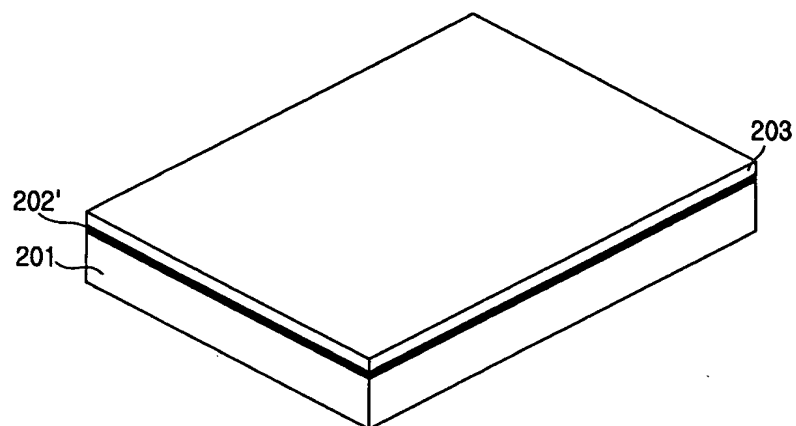
200



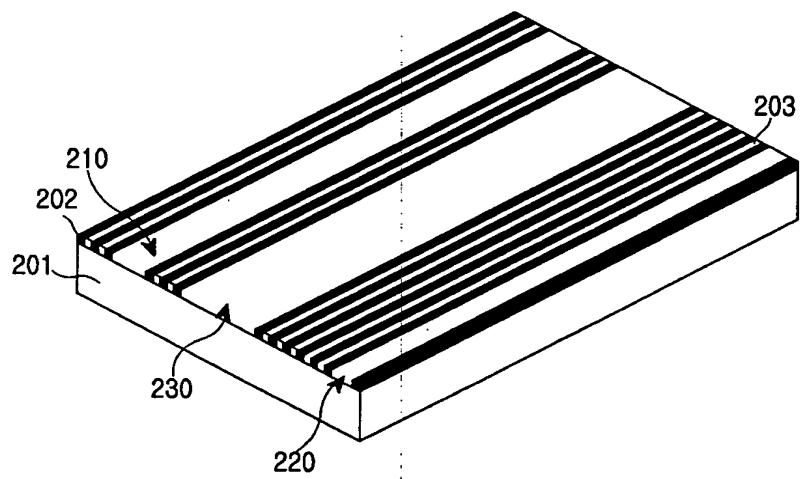
【도 3】



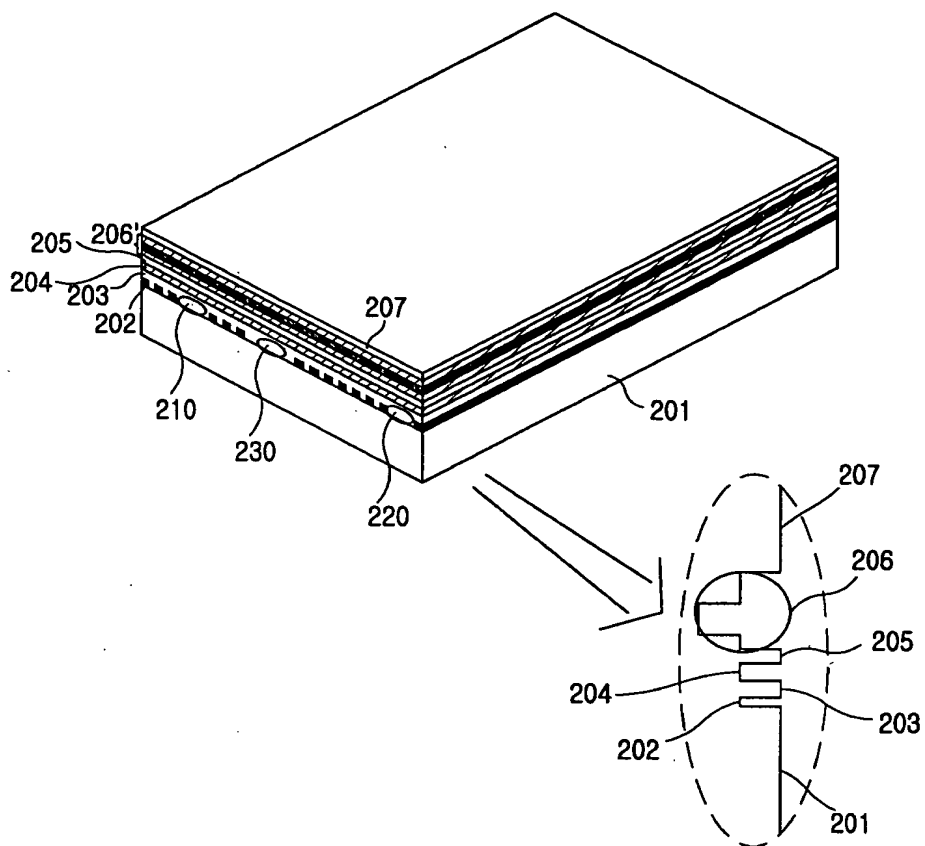
【도 4a】



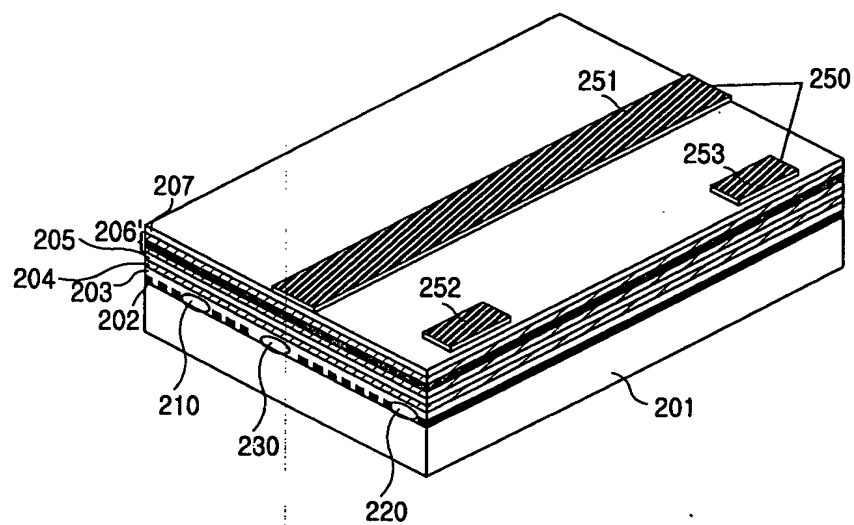
【도 4b】



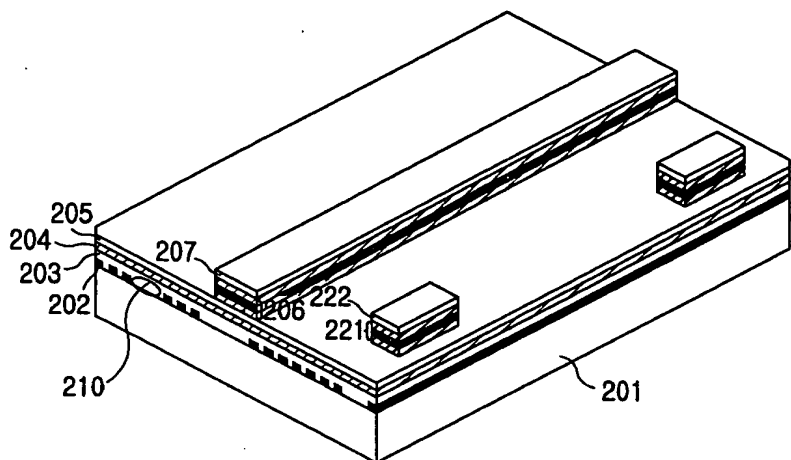
【도 4c】



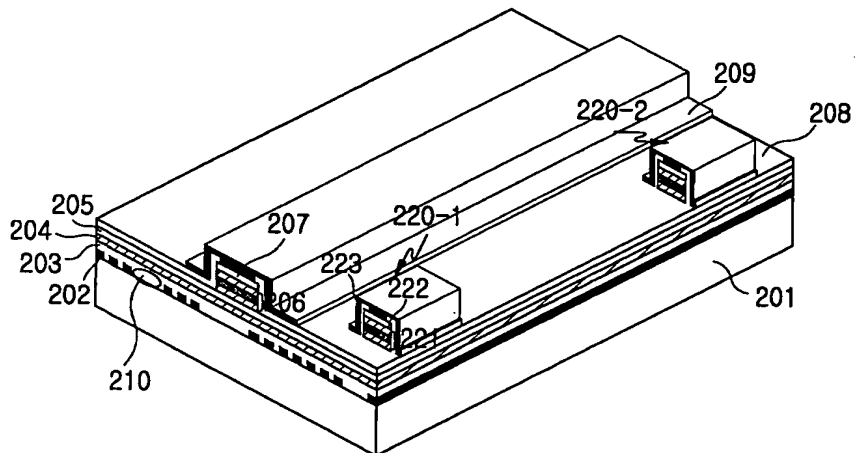
【도 4d】



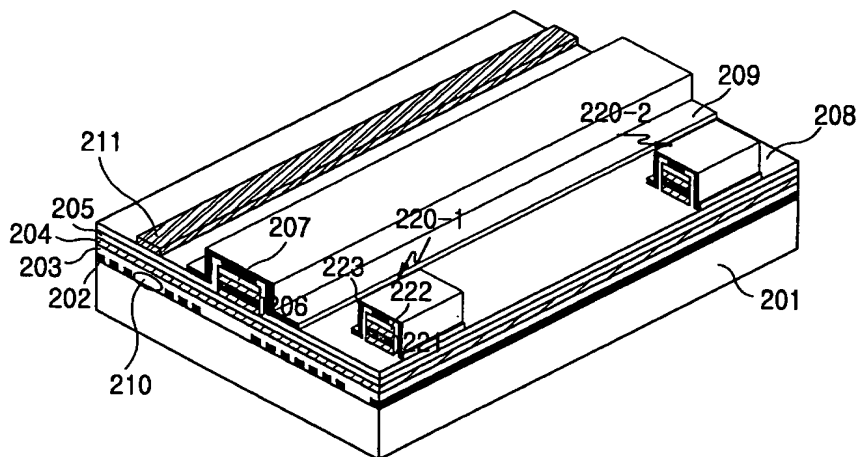
【도 4e】



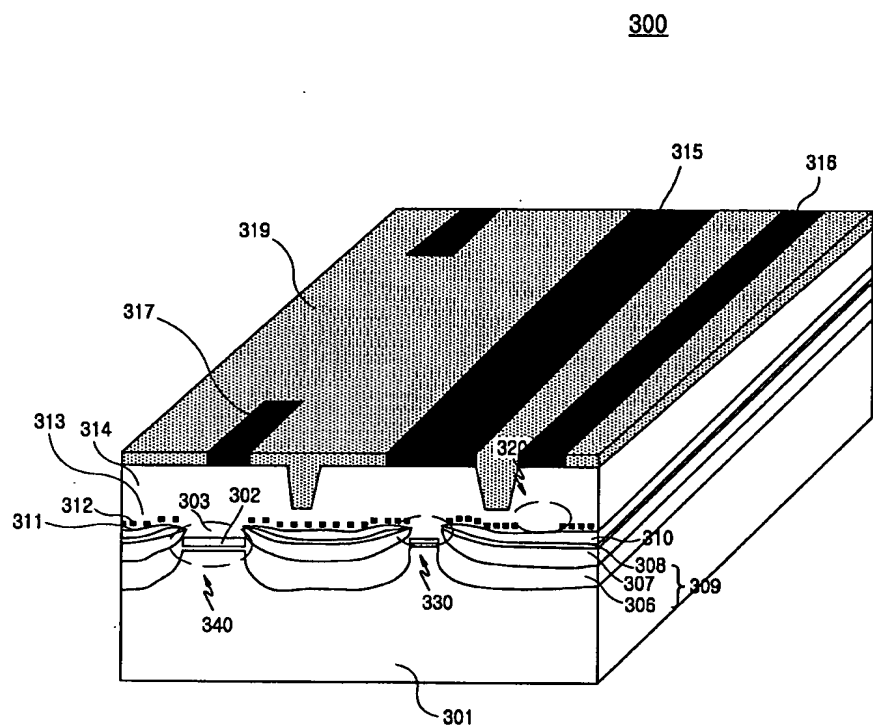
【도 4f】



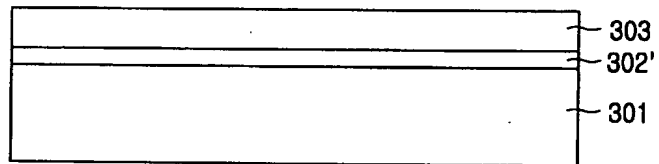
【도 4g】



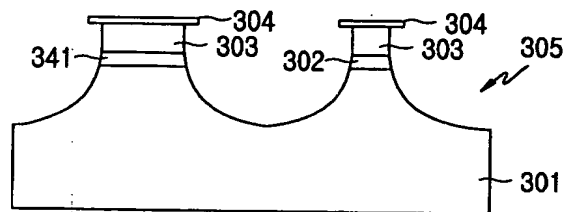
【도 5】



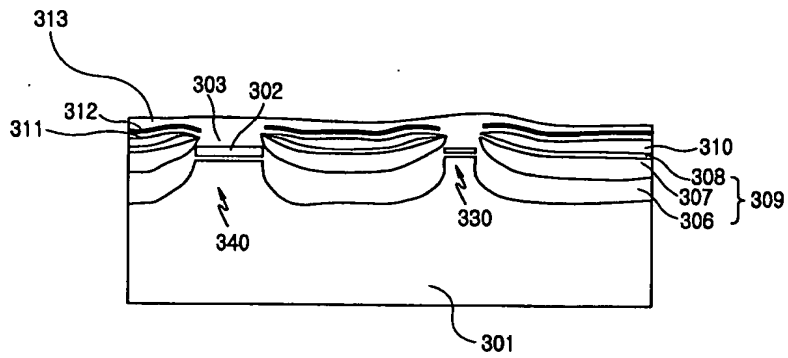
【도 6a】



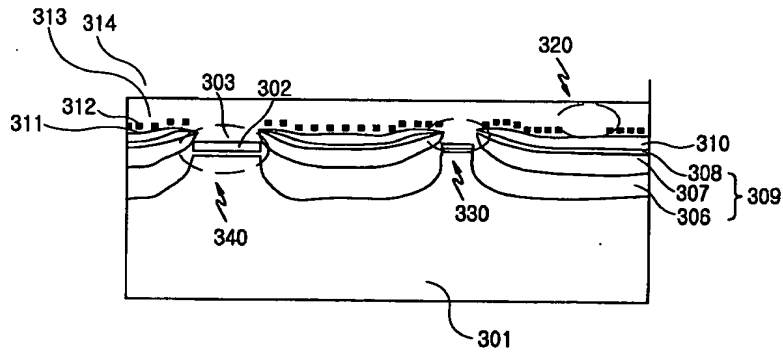
【도 6b】



【도 6c】



【도 6d】



【도 6e】

